

Japanese Patent Laid-Open No. 10-133232

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-133232

(43)Date of publication of application : 22.05.1998

(51)Int.Cl.

G02F 1/136
G02F 1/1343
G09F 9/35

(21)Application number : 08-305672

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 30.10.1996

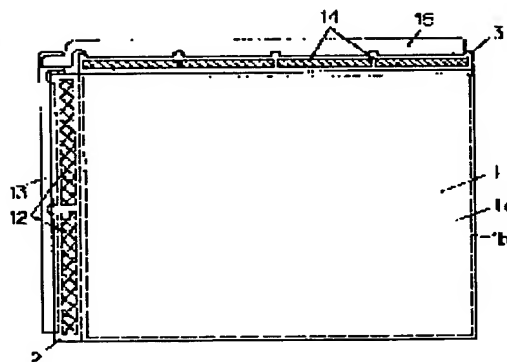
(72)Inventor : MATSUDA TATSURO
OKAMOTO JUNICHI
OTA ISAO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize an inexpensive liquid crystal display device with a drive means reducing a difference between an output pitch of a drive element and a transparent conductive film electrode pitch of a display area and with excellent reliability and productivity compared with the case of an LSI drive circuit element by a usual semiconductor silicon substrate.

SOLUTION: At least one side between a signal voltage application element and a scan voltage application element is made the drive circuit element consisting of glass material constituting a drive circuit by a thin film transistor structure, and is mounted on at least one side peripheral part between a first glass substrate 2 and a second glass substrate 3, and a width of a drive circuit channel in the drive circuit element is made nearly equal to the pitch size of the scan electrode or the signal electrode of the display area of a liquid crystal display element 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-133232

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁶

G 0 2 F 1/136
1/1343
G 0 9 F 9/35

識別記号

5 0 0

F I

G 0 2 F 1/136 5 0 0
1/1343
G 0 9 F 9/35

審査請求 未請求 請求項の数 3 F D (全 7 頁)

(21) 出願番号

特願平8-305672

(22) 出願日

平成 8 年(1996)10月30日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 松田 達郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 岡元 準市

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 太田 勲夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 栗野 重孝

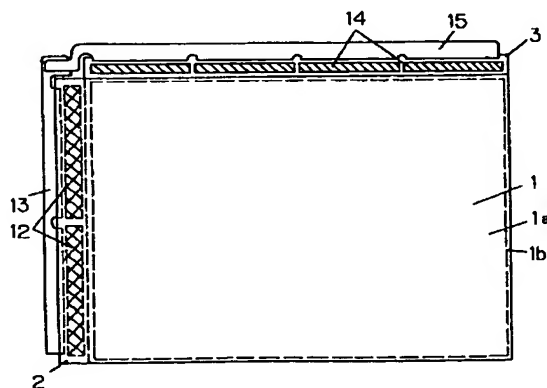
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 従来の半導体シリコン基板による L S I 駆動回路素子の場合、駆動素子の出力ピッチと表示領域の透明導電膜電極ピッチとの差異が大きく、材料コスト、信頼性、生産性に、従って製造原価低減に限界があったのを低価格で生産性の良い駆動手段の液晶表示装置を実現する。

【解決手段】 信号電圧印加素子及び走査電圧印加素子の少なくとも一方を薄膜トランジスタ構造による駆動回路を構成したガラス材からなる駆動回路素子として、第1のガラス基板2及び第2のガラス基板3の少なくとも一方の周辺部に実装し、駆動回路素子内の1つの駆動回路チャンネルの幅は、液晶表示素子の表示領域の走査電極または信号電極のピッチの寸法に略等しくする。

- 1 液晶表示素子
- 1a 有効表示領域
- 1b 周辺BM部及びシール部
- 2 第1のガラス基板
- 3 第2のガラス基板
- 12 走査電極駆動回路素子
- 13,15 多層プリント配線基板
- 14 信号電極駆動回路素子



【特許請求の範囲】

【請求項1】 透明導電膜による複数本の縦方向帯状の信号電極と、透明導電膜による複数本の横方向帯状の走査電極とを有した一対の第1及び第2のガラス基板を対向させ、前記対向するガラス基板の間に液晶材料を封入した液晶表示素子と、前記信号電極に接続され信号電圧を印加する信号電圧印加素子と、前記走査電極に接続され走査電圧を印加する走査電圧印加素子とを有する単純マトリクス型液晶表示装置であって、前記信号電圧印加素子及び前記走査電圧印加素子の少なくとも一方を、

薄膜トランジスタ構成による駆動回路を形成したガラス材からなる駆動回路素子として、前記液晶表示素子の第1及び第2のガラス基板の少なくとも一方の周辺部に実装したことを特徴とする液晶表示装置。

【請求項2】 駆動回路素子は、液晶表示素子の少なくとも一辺に、少なくとも1個以上が配置され、前記駆動回路素子内の1つの駆動回路チャンネルの幅は、前記液晶表示素子の表示領域の走査電極または信号電極のピッチの寸法に近づけ、従って前記駆動回路素子の長さが、前記液晶表示素子の有効表示領域の一辺の長さを、その

【請求項3】 駆動回路素子の複数個が液晶表示素子の少なくとも一辺に配置された構成において、前記駆動回路素子間の接続手段として、ガラス基板周辺部の透明導電膜による中継電極パターンを設けたことを特徴とする請求項1記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、単純マトリクス型液晶パネルを表示素子とした液晶表示装置に関する。

【0002】

【従来の技術】マトリクス型液晶パネルを表示素子とした液晶表示装置における、信号電圧または走査電圧印加手段の従来技術として、半導体シリコン基板上にCMOS構成による駆動回路を形成したLSIチップを使用し、図5または図6に示す形態にて、実装する方法がある。

【0003】図5の形態は、テープオートメテッドボディング実装（以下、TAB実装という）と称される。有効表示領域を1a、周辺ブラックマトリクス部（以下、BM部という）及びシール部を1bで示す液晶表示素子1は横方向帯状の走査電極を有する第1のガラス基板2と縦方向帯状の信号電極を有する第2のガラス基板3を備えている。そして、走査電圧印加手段として、半導体シリコン基板によるLSI素子4が、テープキャリアパッケージ（以下、TCPという）5の上にマウントされ、そのTCP5は、その出力端子側を第1のガラス基板2の上の走査電極に、その入力側を電圧及び各種制御信号を供給する多層プリント配線基板6に、それぞれ

接続されている。

【0004】信号電圧印加手段としても同様に、半導体シリコン基板によるLSI素子7がTCP8上にマウントされ、その出力端子側を第2のガラス基板3の上の信号電極に、その入力側を電圧及びデータ信号等を供給する多層プリント配線基板9に、それぞれ接続されている。走査電極側の多層プリント配線基板6と信号電極側の多層プリント配線基板9を接続する接続線束10はフレキシブル印刷配線板（以下、FPCという）やフレキシブルフラットケーブル（以下、FFCという）が使用されることが多いが、ここに必ずしも必要ではなく、回路構成やその配置によって種々の構成をとり得る。

【0005】図6の信号電圧印加手段の形態はチップオンガラス実装（以下、COG実装という）と称される。液晶表示素子1の構成は図5と同様である。半導体シリコン基板によるLSI素子7が第2のガラス基板3上に直接、配置、マウントされ、その出力端子側を第2のガラス基板3の上の信号電極に接続される。その入力側端子は、同じく第2のガラス基板3に設けられた中継電極パターン的一方の端部に接続される。電圧及びデータ信号等を供給する多層プリント配線基板11の複数の出力端11aが、第2のガラス基板3上の前記中継電極パターンの他方の端部に接続される。

【0006】多層プリント配線基板11には、その基板材料と第2のガラス基板3との熱膨張率の差によって接続部分に発生する多層プリント配線基板11の長手方向の応力を緩和させるため、また実装時の位置合わせを容易にするために、くびれ部11bを設けている。

【0007】LSI素子7と第2のガラス基板3上の電極パターンとの接続方法としては、端子形状寸法、端子材料等から、アニソトロピックコンダクティブフィルム工法（以下、ACF工法という）、ワイヤボンディング工法、半田付け工法等が用いられる。

【0008】図6で、走査電圧印加手段の形態として図5と同様のTAB実装を示したが、図6の信号電圧印加手段と同様のCOG実装を採用することも、可能である。

【0009】また図5、図6はともに、信号電圧印加手段を第2のガラス基板3の長辺側の一方の辺に配置しているが、画面を上下2分し、それぞれの長辺側に信号電圧印加手段を配置する2画面駆動方式（Dual Scanとも称す）もある。さらに、走査電圧印加手段を第1のガラス基板2の短辺側の一辺のみならず、他方の辺にも配置し、同一電極に対して両側より走査電圧を印加する両側給電方式等、画面分割（従って、電極分割）や電圧印加手段の配置と給電方式には種々ある。

【0010】このような従来の構成において、単純マトリクス型液晶表示装置における液晶表示素子はその原理から、電極として導電性、透明性が必要であり、一般的に酸化インジウム（以下、ITOという）等の導電性透

明薄膜（以下、透明導電膜という）が用いられる。そして、一般的になりつつあるカラー液晶パネルでは、RGBの3色カラーフィルターを設ける方式が主流であるが、文字表示等の切れ味の良さから、カラーフィルターは縦ストライプ形式をとることが多い。従って、RGBトリオでの信号電極幅と走査電極幅がほぼ等しく設定さ

れるが故に、信号電極は走査電極の3倍の高密度となる。表示サイズと表示密度によるが、現状では表示領域の透明導電膜のピッチ、膜幅、スペースは表1に示す通りである。

【0011】

【表1】

	信号電極	走査電極
ピッチ	50～130 μ m	150～390 μ m
膜幅	30～120 μ m	130～380 μ m
スペース	10～20 μ m	

【0012】このピッチは液晶表示素子上のRGB3色からなる1個の画素の実用サイズである約0.150～0.390mmと一致している。

【0013】一方、液晶素子駆動用の前記半導体シリコン基板上に形成されたLSIの出力端子の配列ピッチは、LSIそのものの特性、コスト、生産性や、TCPとの接続技術下限等から、50～130 μ mが現実的なピッチであり、かつLSI素子の長手方向の寸法にはその強度や、生産設備の面から限界がある。

【0014】従って、液晶表示素子の各電極と駆動用LSI内の各駆動回路チャンネルとの電気的接続のためには、前記表示領域の透明導電膜のピッチと前記LSI素子の出力電極のピッチとの不整合を解決する必要がある。

【0015】TAB実装の場合について、図7で説明する。図7において、2aは第1のガラス基板2上の表示領域の透明導電膜、2bはBM部及びシール部、2cは透明導電膜の引き出し部、2dは透明導電膜とTCP出力端子の接続部である。5aはTCP上のピッチ調整用銅箔パターン部、5bはLSI素子4の出力端子との接続部分である。図7のように、前記表示領域の透明導電膜のピッチと前記LSI素子の出力電極のピッチとの不整合を（A）透明導電膜の引き出し部でのピッチ収縮、及び（B）TCPの銅箔パターンによるピッチ拡大の一方または双方で調整し解決しているのが現状である。

【0016】また、COG実装の場合について図8で説明する。図8において、3aは第2のガラス基板3上の表示領域の透明導電膜、3bはBM部及びシール部、3cは透明導電膜の引き出し部、3dは透明導電膜とLSI出力端子の接続部、3eはLSI素子7の入力端子と多層プリント配線基板11の出力端子部を接続している透明電極膜の中継電極パターン部である。COG実装の場合は図8から明らかなように、透明導電膜の引き出し部のみでピッチ収縮を実行する必要がある、大きな課題であった。信号電圧印加手段としての駆動用LSI素子7は、縦横のアスペクトレシオ、表示密度の関係から走

査電圧印加用LSI素子4に比べ使用数が多いことから、設計ルールをより精細化し、LSI内のチャンネル数を増やすことがコスト低減策の1つとして、高密度化、大画面化の中で実施されてきたが、前述のピッチの差異、LSI寸法の制約により、そのコスト低減策に限界がある。

【0017】

【発明が解決しようとする課題】前記するようにTAB実装の場合は、ITO等の透明導電膜は抵抗値が高いため、信号電極側、走査電極側ともに透明導電膜でのピッチ収縮を大きくすると、分割ブロック内の中央と両端での電極抵抗の差異に起因する輝度ムラ等、表示品位が悪化する。引き出し部の膜幅に工夫をしても、製膜精度等から自ずと限界があり、特に走査電極側はTCPでのピッチ拡大に大きく依存せざるを得なく、TCPの長手方向の寸法のみならず、ピッチ調整用銅箔パターン部5aの幅も大きくなり、TCPの面積が増えて、コストが高くなるという課題がある。

【0018】また、COG実装の場合は、第2のガラス基板3上の相隣るLSI素子間の信号伝達のための配線について、LSI素子間に透明導電膜の中継電極パターンを設けても、LSI素子間の距離が長く、透明電極の抵抗値が大き過ぎることから、わざわざ多層プリント配線基板を介して行わざるを得なかった。

【0019】走査電圧印加側については、信号電圧印加側以上にピッチ差が大きく、LSI素子間距離も長くなるので、COG実装は非現実的であった。

【0020】本発明はかかる点に鑑み、低価格で生産性の良い駆動手段の液晶表示装置を提供することを課題とする。

【0021】

【課題を解決するための手段】前記する問題を解決するために本発明は、信号電圧印加素子、走査電圧印加素子を、薄膜トランジスタ（以下、TFTという）構成による駆動回路を形成したガラス基板からなる駆動回路素子とし、液晶表示素子の第1または第2のガラス基板周辺

に実装する構成としたものである。

【0022】また、駆動回路素子は液晶表示素子の一边に配置、実装する素子数を、1個または複数個の駆動回路素子とし、その駆動回路素子内の各駆動回路チャンネルの幅は前記液晶表示素子の表示領域の信号または走査電極のピッチの寸法を有し、前記駆動回路素子の長さ

が、前記液晶表示素子の有効表示領域の一边の長さを、その一边に配置する駆動素子数で分割した寸法を有するようにしたものである。

【0023】さらに、一边に配置、実装する駆動回路素子が、複数個の構成の場合、前記駆動回路素子間の信号伝達手段として、前記駆動回路素子間の液晶表示素子のガラス基板上に透明導電膜による中継電極パターンを設けたものである。

【0024】本発明は前記した構成により、LSI素子のサイズや駆動回路チャンネル数の制約を受けることなく、液晶表示素子の表示密度及び表示サイズに応じて、コスト面、生産面等を考慮して、駆動回路素子1個当たりの駆動回路チャンネル数及び一边当たりの駆動回路素子数を比較的自由に選択、最適化できるものであり、駆動回路素子1個の長手方向の寸法を、表示素子のブロック化寸法に限りなく近づけること（駆動回路各チャンネルの幅寸法を液晶表示素子の電極ピッチに近づける）により、透明導電膜引き出し部のピッチ収縮を殆どなくすることができるので、表示品位（ブロックムラ等）の劣化を招かない液晶表示装置を実現できる。

【0025】また、LSI素子が不透明であるのに対し、本発明においては、ガラス基板の透明性の故に、フォトリソによるパターン形成での合わせマークの活用、両面からの透視確認等で、実装時の位置合わせや、検査がし易いという利点を有する。同時にまた、ガラス基板の熱膨張係数が互いに同じかまたは比較的近いことにより、駆動回路素子の長手方向寸法を大きく設計しても、熱衝撃等に対する信頼性は十分に確保できる。

【0026】また、駆動回路素子間の信号伝達のための接続に関して、透明導電膜で形成した中継電極パターンを介することにより、プリント配線基板の配線数や出力端子数の低減を図ることができる。

【0027】従って、以上の本発明の構成により、低価格で生産性の良い駆動手段の液晶表示装置を得ることができる。

【0028】

【発明の実施の形態】本発明は請求項1に記載の発明のように、透明導電膜による複数本の縦方向帯状の信号電極と、透明導電膜による複数本の横方向帯状の走査電極とを有した一対の第1及び第2のガラス基板を対向させ、前記対向するガラス基板の間隙に液晶材料を封入した液晶表示素子と、前記信号電極に接続され信号電圧を印加する信号電圧印加素子と、前記走査電極に接続され走査電圧を印加する走査電圧印加素子とを有する単純マ

トリクス型液晶表示装置において、前記信号電圧印加素子及び前記走査電圧印加素子の少なくとも一方を、TFT構成による駆動回路を形成したガラス材からなる駆動回路素子として、前記液晶表示素子の第1及び第2のガラス基板の少なくとも一方の周辺部に実装することにより、実施することができる。

【0029】従って、LSI素子のサイズや駆動回路チャンネル数の制約を受けることなく、駆動回路素子1個当たりの駆動回路チャンネル数及び一边当たりの駆動回路素子数を比較的自由に選択でき、生産性、経済性を最適化できるものである。さらに、前記駆動回路素子がガラス材であり、その透明性の故に、実装時の位置合わせや、検査がし易いだけでなく、ガラス基板の熱膨張係数が互いに同じか、または比較的近いことにより、駆動回路素子の長手方向寸法を大きく設計しても、熱衝撃に対する信頼性は十分に確保できる。

【0030】また、本発明は請求項2に記載の発明のように、駆動回路素子を、液晶表示素子の一边に配置し、少なくとも1個以上配置し、駆動回路素子1個の長手方向寸法を、表示素子のブロック化寸法に限りなく近づけることにより、透明導電膜でのピッチ収縮をほぼなくすることができるので、表示品位（ブロックムラ等）の劣化を招かない液晶表示装置を実現できる。

【0031】また、本発明は請求項3に記載の発明のように、駆動回路素子間の信号伝達のための接続手段として、駆動回路素子間の液晶表示素子のガラス上に透明導電膜による中継電極パターンを備えたことにより、駆動回路素子間の信号伝達のために、多層プリント配線基板の配線や出力端子を設ける必要がなく、低コスト化やスペースの節約を図ることができる。

【0032】

【実施例】以下、本発明の実施例について図面を参照しつつ説明する。

【0033】図1及び図2は本発明の液晶表示装置の構成を示す要部平面図であり、図1、図2において、有効表示領域を1a、周辺BM部及びシール部を1bで示す液晶表示素子1は、図5、図6と基本的に同様であり、図5、図6と同じ構成部品については同一符号を付し詳細な説明を省略する。12はTFT構成による駆動回路を形成した第3のガラス基板からなる走査電極駆動回路素子で、液晶表示素子1の第1のガラス基板2上に走査電圧印加手段として実装した。13は電圧及び制御信号等を走査電極駆動回路素子12に供給するための多層プリント配線基板である。

【0034】実装工法としては、図6のLSI素子7のCOG実装と同様、ACF工法である。14はTFT構成による駆動回路を形成した第4のガラス基板からなる信号電極駆動回路素子で、液晶表示素子1の第2のガラス基板3上に信号電圧印加手段として実装した。15は電圧、制御信号、データ信号等を信号電極駆動回路素子

14に供給するための多層プリント配線基板である。多層プリント配線基板13、15としては、一般的な積層基板よりも、フレキシブル基板や、リジッドフレキ基板のような全体または一部に柔構造をもつ多層プリント配線基板の方が、実用性が高い。

【0035】図2は、走査電極駆動回路素子12、信号電極駆動回路素子14を一辺当たり1個にまとめた形態を示したものである。

【0036】図3は、図7のTAB実装の2つのブロックを、本発明により1つにまとめた例である。図3中、2eは多層プリント配線基板13の出力端子13aと走査電極駆動回路素子12の入力端子12aとを接続するための第1のガラス基板2上の透明導電膜による中継電極パターン、2fは相隣る駆動回路素子間の信号伝達用接続手段としての第1のガラス基板2上の透明導電膜による中継電極パターンであり、駆動回路素子間接続端子12bと接続する。12cは駆動回路素子の出力電極であり、透明導電膜の接続部2dと接続する。

【0037】図5の中の、TABのN個のブロックを同様にもまとめることも可能である。この図3の構成は図8に示すような複数のCOG化ブロックを本発明によりまとめた場合にも適用できる。いずれの場合も、透明導電膜引き出し部の収縮の程度を緩くでき、また中継電極パターン2fが短くて、低抵抗が実現できることは明白である。

【0038】図3に示す本実施例では、駆動回路素子間の信号伝達用接続手段として中継電極パターン2fを使用した。場合によっては（多少なりとも、残る抵抗分による電圧降下が問題とならぬ場合は）各種制御信号、データ信号、電源電圧等の供給手段として、駆動回路素子内の各ラインを次段の駆動回路素子に接続する場合にも利用でき、この場合、多層プリント配線基板を小規模化または完全になくすることができる。

【0039】第3及び第4のガラス基板の走査電極駆動回路素子12、信号電極駆動回路素子14は、例えば低温ポリシリコンTFT技術を用いてCMOS構造で駆動回路を設計し、比較的大きな1枚のガラス基板の上に、多数個同時形成にて製造し、後工程で分割するのが一般的であるが、無論、個々に分割された形態で製造しても構わない。このガラス基板による駆動回路素子は、TFT液晶表示素子のTFTアレイ製造技術、アレイ製造設備により、表示サイズと表示密度に適した任意の数の駆動回路チャンネル数、任意の寸法の方形とすることができるので、液晶表示素子のサイズと表示密度に最適化できる。

【0040】図4に本発明によるガラス基板上に低温ポリシリコンでTFT-CMOS構成とした走査電圧印加手段としての駆動回路素子の一例を示す。ガラス基板上にTFT素子を形成する手法として、アモルファスシリコン、低温ポリシリコン、カドミウムセレンナイド、テル

リウム等の半導体材料を用いて電界効果型トランジスタを構成する手法は公知である。最近は特に高モビリティ及び特性の安定性の点で低温ポリシリコンに期待が寄せられている。ホウケイ酸のような非アルカリガラス上にアモルファスシリコンを形成した後、エキシマレーザ照射等により熔融、結晶化させポリシリコン半導体化する。CMOS構成には、硼素や燐のイオン注入によりp-ch、n-chが形成でき、通常のアモルファスシリコンTFTと同様、ソース電極、ドレイン電極、ゲート絶縁膜、ゲート電極を設けることにより、低温ポリシリコンTFTが構成できる。以上により、本発明の液晶表示装置を得ることができる。

【0041】

【発明の効果】以上のように、本発明の液晶表示装置はブロック化と電極ピッチ差による輝度ムラ等、表示品位劣化を招くことなく、位置合わせや検査のし易さ、精度向上、効率向上と熱衝撃に対する高い信頼性をもたらすし、しかも多層プリント配線基板の合理化が図られる等、コスト、品質、生産性の改善を可能とする。

【0042】また、駆動回路素子は前述のように、マザーガラスの上で多数同時形成でつくることができるほか、ポリシリコンTFT液晶表示素子そのものの製造時に生じる余白部に、単純マトリクス用として同時につくりこむことができるので、表示サイズによっては、ロス端材として廃棄するしかない相当な余材が発生することがあるTFT液晶表示素子の製造面で、大きな経済効果をもたらす。なお、TCPもシリコン結晶ウエハを使用しなくて済むという効果も大きい。

【図面の簡単な説明】

【図1】本発明の一実施例における液晶表示装置の要部の構成を示す平面図

【図2】本発明の他の実施例の液晶表示装置の要部の構成を示す平面図

【図3】図1の要部の駆動回路素子実装部の拡大図

【図4】本発明の走査電圧印加手段としてのガラス基板上に形成した駆動回路素子の一実施例を示す平面図

【図5】従来の実施例の液晶表示装置の要部の構成を示す平面図

【図6】従来の他の実施例の液晶表示装置の要部の構成を示す平面図

【図7】従来のTAB実装駆動回路素子実装部の拡大図

【図8】従来のCOG実装駆動回路素子実装部の拡大図

【符号の説明】

1 液晶表示素子

1a 有効表示領域

1b 周辺BM部及びシール部

2 第1のガラス基板

2a, 3a 透明導電膜

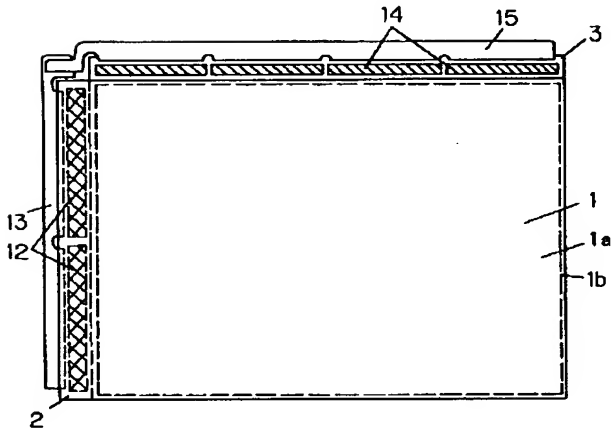
2b, 3b BM部及びシール部

2c, 3c 引き出し部

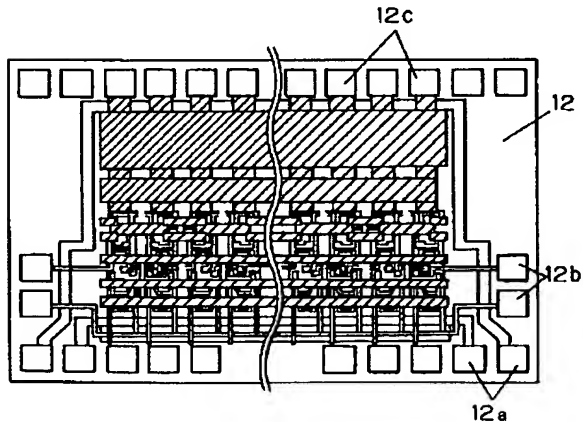
- 2 d, 3 d 接続部
 2 e, 2 f, 3 e 中継電極パターン
 3 第2のガラス基板
 5 a ピッチ調整用銅箔パターン部
 6, 9, 11, 13, 15 多層プリント配線基板
 11 a 出力端
 11 b くびれ部

【図1】

- 1 液晶表示素子
 1a 有効表示領域
 1b 周辺BM部
 及びシール部
 2 第1のガラス基板
 3 第2のガラス基板
 12 走査電極駆動回路素子
 13, 15 多層プリント
 配線基板
 14 信号電極駆動回路素子

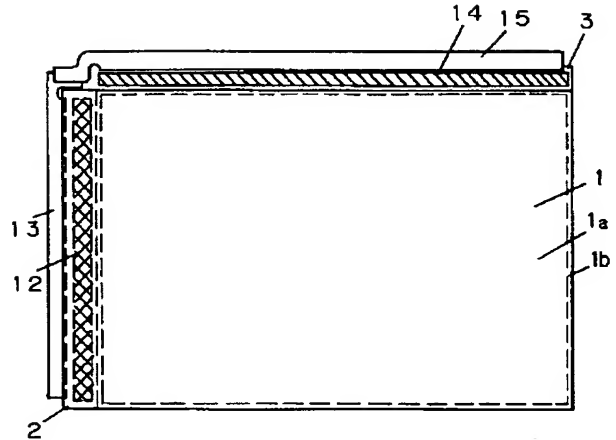


【図4】



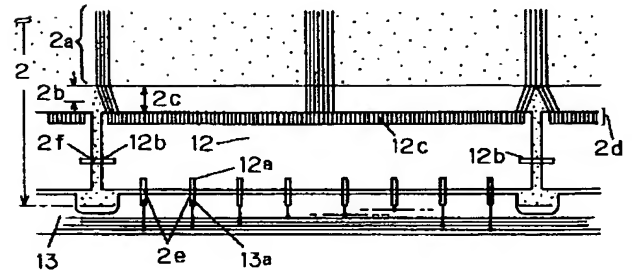
- 12 走査電極駆動回路素子
 12 a 入力端子
 12 b 素子間接続端子
 12 c 出力電極
 13 a 出力端子
 14 信号電極駆動回路素子

【図2】

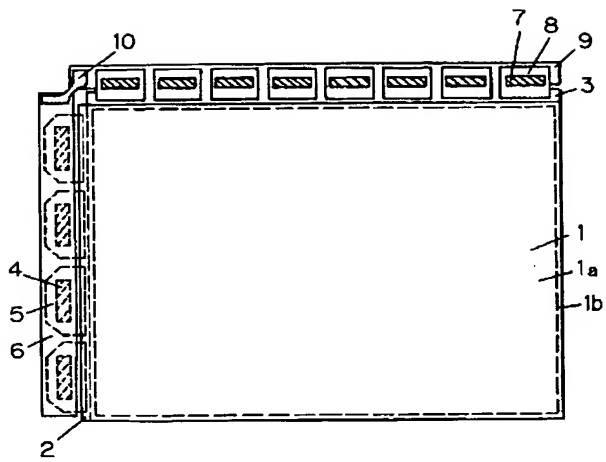


【図3】

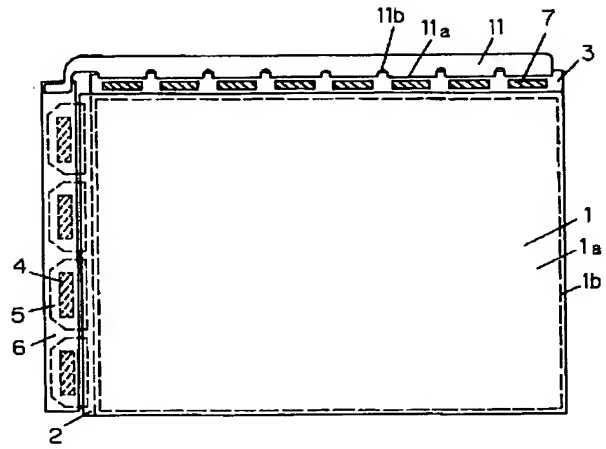
- 2a 透明導電膜
 2e, 2f 中継電極パターン
 12a 入力端子
 12b 素子間接続端子
 12c 出力電極
 13a 出力端子



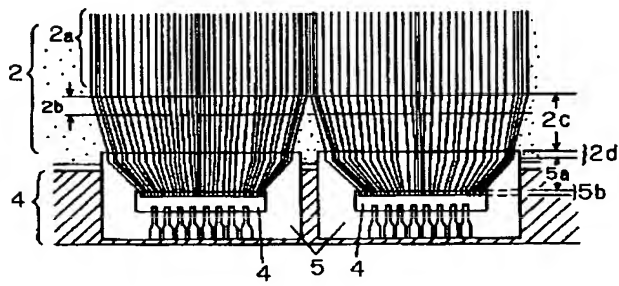
【図 5】



【図 6】



【図 7】



【図 8】

